

3/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

010959499 **Image available**
WPI Acc No: 1996-456448/199646
XRPX Acc No: N96-384628

**ESD protection circuit for CMOS integrated circuit - has PMOS and NMOS
low voltage triggered thyristor pairs connected between respective VDD
and VSS voltage sources and connection surface**

Patent Assignee: IND TECHNOLOGY INST (INTE-N); IND TECHNOLOGY RES INST
(INTE-N); ZH KOGYO GIJUTSU KENKYUHN (KOGY-N)

Inventor: KE M; WU T; KEZ M; WU J; KER M

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19518549	A1	19961010	DE 1018549	A	19950519	199646 B
US 5572394	A	19961105	US 95419650	A	19950406	199650
JP 8288403	A	19961101	JP 95291548	A	19951109	199703
CN 1132936	A	19961009	CN 95118273	A	19951110	199802
DE 19518549	C2	19991104	DE 1018549	A	19950519	199950

Priority Applications (No Type Date): US 95419650 A 19950406

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 19518549	A1	34		H01L-023/60	
US 5572394	A	30		H02H-009/00	
JP 8288403	A	22		H01L-021/8238	
CN 1132936	A			H01L-023/60	
DE 19518549	C2			H01L-023/60	

Abstract (Basic): DE 19518549 A

The circuit includes four low voltage triggered thyristors (PTLSCR1,PTLSCR2,NTLSCR1,NTLSCR2), a connection surface (205), and an input stage. Two thyristors (PTLSCR1, PTLSCR2) are connected between a VDD voltage source and the connection surface and protect against respective positive and negative discharge when VDD is floating. The other thyristors (NTLSCR1,NTLSCR2) are connected between a VSS voltage source and the connection surface and protect against respective positive and negative discharge when VSS is floating.

Each thyristor is provided with side branch thyristors and respective PMOS or NMOS devices. The positive discharge thyristors have the cathode of their side branches connected to their respective voltage sources and the anodes to the contact surface. The negative discharge thyristors have their side branch cathode connected to the connection surface and their anode to the voltage source.

USE/ADVANTAGE - For sub-micron CMOS technology. Protects against higher ESD failure threshold value. Smaller layout area. Compatible with BiCMOS technology.

Dwg.1/16

Title Terms: ESD; PROTECT; CIRCUIT; CMOS; INTEGRATE; CIRCUIT; NMOS; LOW; VOLTAGE; TRIGGER; THYRISTOR; PAIR; CONNECT; RESPECTIVE; VOLTAGE; SOURCE; CONNECT; SURFACE

Derwent Class: U13

International Patent Class (Main): H01L-021/8238; H01L-023/60; H02H-009/00

International Patent Class (Additional): H01L-021/822; H01L-021/8234;

H01L-027/04; H01L-027/088; H01L-027/092; H01L-029/74; H03K-019/003;

H03K-019/0948

File Segment: EPI

3/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

05332903

CMOS STATIC DISCHARGE PROTECTIVE CIRCUIT USING LOW-VOLTAGE TRIGGER SILICON
CONTROL RECTIFIER

PUB. NO.: 08-288403 [JP 8288403 A]

PUBLISHED: November 01, 1996 (19961101)

INVENTOR(s): KA AKIMICHI
GO TENSHIYOU

APPLICANT(s): IND TECHNOL RES INST [198533] (A Non-Japanese Company or
Corporation), TW (Taiwan)

APPL. NO.: 07-291548 [JP 95291548]

FILED: November 09, 1995 (19951109)

PRIORITY: 7-419,650 [US 419650-1995], US (United States of America),
April 06, 1995 (19950406)

INTL CLASS: [6] H01L-021/8238; H01L-027/092; H01L-027/04; H01L-021/822;
H01L-021/8234; H01L-027/088; H01L-029/74; H03K-019/003;
H03K-019/0948

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 42.4
(ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288403

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H01L 21/8238
H01L 27/092
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H01L 29/74
H03K 19/003
H03K 19/0948

(21)Application number : 07-291548

(71)Applicant : IND TECHNOL RES INST

(22)Date of filing : 09.11.1995

(72)Inventor : KER MING-DOU
WU TAIN-SHUN

(30)Priority

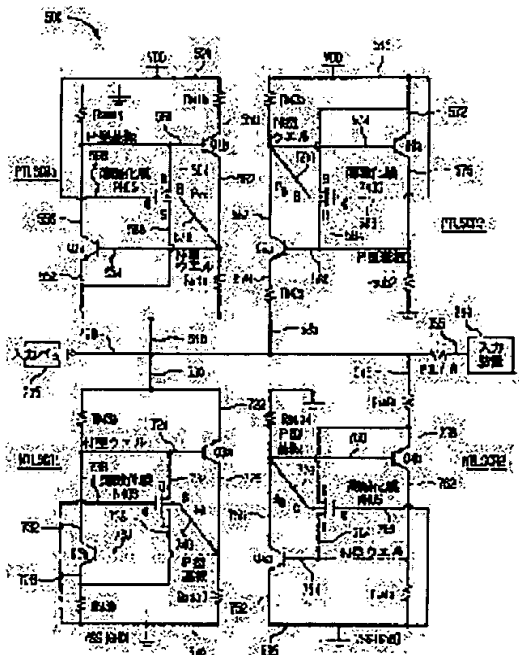
Priority number : 95 419650 Priority date : 06.04.1995 Priority country : US

(54) CMOS ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT USING LOW-VOLTAGE TRIGGER SILICON CONTROL RECTIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a larger electrostatic discharge protection capability with a smaller occupation area by forming an electrostatic discharge protection circuit by four low-voltage trigger SCRs and allowing all four kinds of the modes of electrostatic discharge at an input pin to correspond one by one.

SOLUTION: A PTLSCR1 device is arranged so that the electrostatic discharge of a PD mode is protected, and a PTLSCR2 device protects the electrostatic discharge of an ND mode. Also, an NTLSCR1 device is arranged to protect the electrostatic discharge of a PS mode, and an NTLSCR2 device is arranged to protect the electrostatic discharge of an NS mode. Therefore, four kinds of the modes of the electrostatic discharge are protected one by one by four low-voltage trigger SCR devices. More specifically, an electrostatic discharge protection circuit 500 provides an omnidirectional protection means for the input pin of a CMOS integration circuit, thus avoiding the damage of the internal circuit of the CMOS integrated circuit due to an abnormal electrostatic discharge.



LEGAL STATUS

[Date of request for examination]

09.11.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2815561

[Date of registration] 14.08.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288403 ✓

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 H
	27/092		H 0 3 K 19/003	Z
	27/04		H 0 1 L 27/04	H
	21/822		27/08	1 0 2 F
	21/8234		29/74	G
審査請求 有 請求項の数14 O L (全 22 頁) 最終頁に続く				

(21) 出願番号 特願平7-291548

(22) 出願日 平成7年(1995)11月9日

(31) 優先権主張番号 4 1 9 6 5 0

(32) 優先日 1995年4月6日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72) 発明者 柯 明 道

台湾台南縣歸仁鄉西▲ほ▼村大▲ほ▼11號

(72) 発明者 吳 添 祥

台湾苗栗縣後龍鎮北龍里3鄰104號

(74) 代理人 弁理士 伊東 忠彦 (外1名)

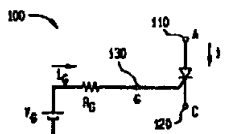
(54) 【発明の名称】 低電圧トリガーシリコン制御整流器を使用したCMOS静電放電保護回路

(57) 【要約】

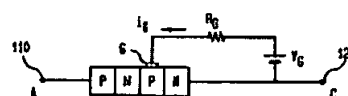
【課題】 比較的小さな占有面積で相対的に高いESD防護能力を提供し、サブミクロンCMOS IC中の入力装置を保護するサブミクロン相補式酸化金属半導体(CMOS)集積回路(IC)チップ上の静電放電(Electrostatic Discharge, ESD)防護回路を提供する。

【解決手段】 このESD防護回路中には、四個の低電圧トリガーSCRが含まれ、そのうち2個のデバイスはラテラルSCRにチャネル長の短いPMOSデバイスを追加し、構成されている。他の2個のデバイスはラテラルSCRにチャネル長の短いNMOSデバイスを追加し、構成されている。四個の静電放電の電流経路を提供し、一対一で対応する形で静電放電をバイパスに流してCMOS IC入力装置の四種類の静電放電モードによる損壊を防止している。従って効果的に全面的にCMOS IC入力装置の保護が可能である。

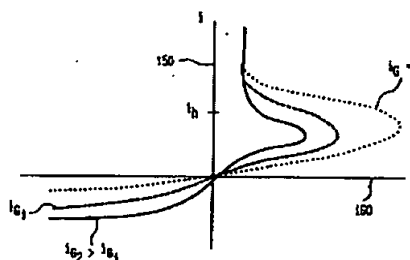
(A)
(従来技術)



(B)
(従来技術)



(C)
(従来技術)



1

【特許請求の範囲】

【請求項1】 VDD と出力／入力パッド間に接続され、PDモードの静電放電に対して防護する第一の低電圧トリガーシリコン制御整流器と、

VDD と出力／入力パッド間に接続され、NDモードの静電放電に対して防護する第二の低電圧トリガーシリコン制御整流器と、

出力／入力パッドとVSS 間に接続され、PSモードの静電放電に対して防護する第三の低電圧トリガーシリコン制御整流器と、

出力／入力パッドとVSS 間に接続され、NSモードの静電放電に対して防護する第四の低電圧トリガーシリコン制御整流器とを含むCMOS静電放電防護回路。

【請求項2】 N型ウエル／P型基板構造である請求項1記載のCMOS静電放電防護回路。

【請求項3】 P型ウエル／N型基板構造である請求項1記載のCMOS静電放電防護回路。

【請求項4】 第一の低電圧トリガーシリコン制御整流器は陰極はVDD に接続し、陽極は出力／入力パッドに接続しているラテラルシリコン制御整流器と；プラスに導通した場合、ラテラルシリコン制御整流器をトリガーし導通させるPMOSデバイスとを含む請求項1記載のCMOS静電放電防護回路。

【請求項5】 第二の低電圧トリガーシリコン制御整流器は陽極はVDD に接続し、陰極は出力／入力パッドに接続されているラテラルシリコン制御整流器と；スナップバック降伏の際、ラテラルシリコン制御整流器をトリガーし導通させるPMOSデバイスとを含む請求項1記載のCMOS静電放電防護回路。

【請求項6】 第三の低電圧トリガーシリコン制御整流器は：陽極は出力／入力パッドに接続され、陰極はVSS に接続されているラテラルシリコン制御整流器と；スナップバック降伏の際、ラテラルシリコン制御整流器をトリガーし導通させるNMOSデバイスとを含む請求項1記載のCMOS静電放電防護回路。

【請求項7】 第四の低電圧トリガーシリコン制御整流器は：陽極はVSS に接続され、陰極は出力／入力パッドに接続されているラテラルシリコン制御整流器と；プラスに導通した場合、ラテラルシリコン制御整流器をトリガーし導通させるNMOSデバイスとを含む請求項1記載のCMOS静電放電防護回路。

【請求項8】 第一、第二、第三、第四のラテラルシリコン制御整流器を含み、第一のラテラルシリコン制御整流器の陰極は第一の参考電源に接続し、陽極は入力パッドに接続し、内部に第一のPMOSデバイスが含まれており、この第一のPMOSデバイスはプラスに導通した際に、第一のラテラルシリコン制御整流器をトリガーし、導通させ、

第二のラテラルシリコン制御整流器の陽極は第一の参考電源に接続され、陰極は入力パッドに接続され、内部に

2

第二のPMOSデバイスが含まれており、この第二のPMOSデバイスはスナップバック降伏した際に、第二のラテラルシリコン制御整流器をトリガーし、導通させ、第三のラテラルシリコン制御整流器の陽極は入力パッドに接続され、陽極は第二の参考電源に接続され、内部に第一のNMOSデバイスが含まれており、この第一のNMOSデバイスはスナップバック降伏が発生した際に、第三のラテラルシリコン制御整流器をトリガーし、導通させ、

10 第四のラテラルシリコン制御整流器の陰極は入力パッドに接続され、陽極は第二の参考電源に接続され、内部に第二のNMOSデバイスが含まれており、この第二のNMOSデバイスはプラスに導通した際に、第四のラテラルシリコン制御整流器をトリガーし、導通させるCMOS静電放電防護回路。

【請求項9】 CMOS集積回路入力装置の静電放電に対して防護する半導体デバイスであって、第一の低電圧トリガーラテラルシリコン制御整流器を含み、この第一の低電圧トリガーラテラルシリコン制御整流器は半導体基板上にあり、その陰極は第一の参考電源に接続され、陽極は該集積回路の入力パッドに接続され、この第一の低電圧トリガーラテラルシリコン制御整流器内には第一のPMOSデバイスが含まれており、このPMOSデバイスはプラスに導通した際に、第一の低電圧トリガーラテラルシリコン制御整流器をトリガーする半導体デバイス。

【請求項10】 第二の低電圧トリガーラテラルシリコン制御整流器が第一の低電圧トリガーラテラルシリコン制御整流器と共に含まれ、その陽極は第一の参考電源に接続され、陰極は入力パッドに接続され、この第二の低電圧トリガーラテラルシリコン制御整流器内には第二のPMOSデバイスが含まれており、この第二のPMOSデバイスはスナップバック降伏した際に、第二の低電圧トリガーラテラルシリコン制御整流器をトリガーする請求項9項記載の半導体デバイス。

【請求項11】 第三の低電圧トリガーラテラルシリコン制御整流器が第一、第二の低電圧トリガーラテラルシリコン制御整流器と共に含まれ、その陽極は入力パッドに接続され、陰極は第二の参考電源パッドに接続され、この第三の低電圧トリガーラテラルシリコン制御整流器内には第一のNMOSデバイスが含まれており、この第一のNMOSデバイスはスナップバック降伏した際に、第三の低電圧トリガーラテラルシリコン制御整流器をトリガーする請求項10記載の半導体デバイス。

【請求項12】 第四の低電圧トリガーラテラルシリコン制御整流器が第一、第二、第三の低電圧トリガーラテラルシリコン制御整流器と共に含まれ、その陽極は第二の参考電源に接続され、陰極は入力パッドに接続され、この第四の低電圧トリガーラテラルシリコン制御整流器内には第二のNMOSデバイスが含まれており、この第

このNMOSデバイスはプラスに導通した際に、第四の低電圧トリガータテラルシリコン制御整流器をトリガーする請求項11記載の半導体デバイス。

【請求項13】 第一、第二、第三、第四の低電圧トリガータテラルシリコン制御整流器の陰極は、N型ウェル／P型基板のCMOS半導体製造工程技術中で、N型のキャリア濃度の高い領域がN型ウェルを跨ぐ形で、P型基板中に形成される請求項12記載の半導体デバイス。

【請求項14】 第一、第二、第三、第四の低電圧トリガータテラルシリコン制御整流器の陽極は、P型ウェル／N型基板のCMOS製造工程技術中で、P型のキャリア濃度の高い領域がP型ウェルを跨ぐ形で、N型基板中に形成される請求項12記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCMOS（相補式酸化金属半導体）チップ上の静電放電防護回路に関するものである。本発明の静電放電防護回路には四個の低圧トリガータシリコン制御整流器が含まれており、四個の静電放電の電流経路を提供することにより、直接的に集積回路中の内部回路を保護し、各種モードの静電放電から防護する。

【0002】

【従来の技術】CMOS集積回路中で、製造工程の進化に伴い、エレメントの寸法はすでにサブミクロン段階に達している。サブミクロン段階の技術では、所謂ホットキャリア問題を克服するため、LDD（Light-Doped Drain）製造工程と構造が発展してきた。またMOSデバイスの R_s 、 R_d などの直列抵抗を低下させるため、シリサイド製造工程が発展してきた。現在の0.8ミクロン以下の最先端の製造工程では、その大部分で上記の2種類の重要技術を使用し、集積回路の演算速度及び信頼性の向上を図っている。

【0003】しかしサブミクロンデバイスでは上記の先端技術及び更に小さくなったデバイス寸法が原因し、サブミクロンCMOS ICの静電放電(ESD)に対する防護能力は非常に低下している（参考文献：C. Duvvury and A. Amerasekera, "ESD: A pervasive reliability concern for IC technologies", Proc. of IEEE Vol. 81, No. 5, pp. 690-702, May 1993）。外部環境中で発生する静電気はそれほど減少していないため、サブミクロンCMOS ICがESDが原因となって損傷を受けるという事態はより深刻となり、多くの製造工程がその発展過程で、この重大な問題にぶつかっている。

【0004】静電放電の防護回路は、一般には入力ないし出力パッドの近傍にくるよう設計され、内部回路が静電放電により破壊されないよう保護している。CMOS製造工程中では静電放電デバイスとして、ダイオード、MOS デバイス、フィールド酸化膜、バイポーラトランジスタ及びシリコン制御整流器（SCR）などを使用して

いる。この内SCRデバイスの抗静電放電防護能力が最高である（この点では既に報告されている。占有する単位面積当たりで最高のESD耐圧能力を有す）。しかし純粋SCR（p-n-p-n構造）はサブミクロン製造工程に於いて、その導通開始電圧は30～50Vに達するため、これを単独で使い150～180オングストロームしかない薄いゲート酸化膜（入力装置のゲート電極上）を保護する方法はない。最近、LVTSCR（低電圧トリガータSCR）構造でSCRデバイスの導通電圧を低下させようという提案がある。

（参考文献：A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads", IEEE Electron Device Letters, Vol. 12, No. 1, pp. 21-22, Jan. 1991; 及びA. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads", IEEE 1990 Symposium on VLSI Technology, pp. 75-76）しかしSCRの導通（ターンオン）開始電圧の低下以外に、CMOS集積回路は予想外の静電損傷にも直面することとなった。（参考文献：C. Duvvury, R. N. Rountree, and O. Adams, "Internal chip ESD phenomena beyond the protection circuit," IEEE Trans. Electron Devices, Vol. 35, No. 12, pp. 2133-2139, Dec. 1988; H. Terletzki, W. Nikutta, and W. Reczek, "Influence of the series resistance of on-chip power supply buses on internal device failure after ESD stress," IEEE Trans. Electron Devices, Vol. 40, No. 11, pp. 2081-2083, Nov. 1993; 及びC. Johnson, T. J. Maloney, and S. Qawami, "Two unusual HBM ESD failure mechanisms on a mature CMOS process," 1993 EOS/ESD Symposium proceeding, EOS-15, PP. 225-231）、これらのESD損傷は静電放電保護回路を持つ集積回路の内部回路中で発生し、静電放電保護回路自体で発生するのではない。任意のICピンに対する静電放電はプラスまたはマイナスの電圧極性を持っており、放電に対応するピンはおそらくVDD またはVSS ピンであるため、静電放電は四種類の放電モードを持つことになる：

(1) PSモード：VDD バスは浮き状態の時に、プラス電圧に対応するESDがある入力ピンで発生し、VSS バスに対して放電する。

(2) NSモード：VDD バスは浮き状態の時に、マイナス電圧に対応するESDがある入力ピンで発生し、VSS バスに対して放電する。

(3) PDモード：VSS バスは浮き状態の時に、プラス電圧に対応するESDがある入力ピンで発生し、VDD バスに対して放電する。

(4) NDモード：VSS バスは浮き状態の時に、マイナス電圧に対応するESDがある入力ピンで発生し、VDD バスに対して放電する。

【0005】従って全方位のESD破壊を防護する保護

回路が上記の四種類の放電モードを効果的に防護でき、初めて集積回路は静電放電防護回路の保護の下で予想外の損傷を免れるのである。

【0006】

【発明が解決しようとする課題】本発明の目的は、静電放電による破壊から免れるよう新しい構造を提案し、全方位的にサブミクロン集積回路を保護することである。本発明では、低電圧トリガーのSCRデバイスを静電放電防護デバイスとして利用している。本構造中では、合計四個の低電圧トリガーSCRが一对一で上記四種類の静電放電モードに対する防護措置を提供しており、効果的にサブミクロン集積回路の静電気防護能力を向上させている。またその占有面積（そのESD耐圧能力と対応する）は旧来の静電放電防護回路と比べ小さくなっている。従って本発明の静電放電防護回路は高密度で、ピン数の多い超大型や極めて大きいCMOS集積回路に非常に適している。

【0007】

【課題を解決するための手段】本発明の静電放電防護回路は、旧来の静電放電防護回路中の直接的でない静電放電経路が引起こす内部回路の損傷問題を効果的に克服している。本発明では最高の静電放電防護能力を具えたSCRデバイスを静電放電デバイスとして採用して集積回路を保護し、サブミクロンCMOS技術の全方位的静電放電防護措置を提供している。またその占有面積もより小さくなっている。

【0008】本発明の静電放電防護回路には2個のPMOSTリガーラテラルSCRデバイス(PTLSCR)及び2個のNMOSTリガーラテラルSCRデバイス(NTLSCR)が含まれている。これらのPTLSCR及びNTLSCRデバイスは適宜接続され、四種類の静電放電モードによる入力装置や内部回路の破壊を一对一で防護している。また集積回路中の異常な静電放電による損傷も防止している。

【0009】この2個のPTLSCRデバイス(PTLSCR1及びPTLSCR2と称する)はVDD(第一の電源)と出力パッド間に接続され、PDモード及びNDモードの静電放電を防止している。2個のNTLSCRデバイス(NTLSCR1及びNTLSCR2という)は出力パッドとVSS(第二の電源)間に接続され、PSモード及びNSモードの静電放電を防止している。

【0010】PTLSCR1とPTLSCR2デバイスはそれぞれラテラルSCR中に短チャネルゲート酸化膜PMOSデバイスを組み込み、それを構成している。NTLSCR1とNTLSCR2デバイスもそれぞれラテラルSCR中に短チャネルゲート酸化膜NMOSデバイスを組み込み、それを構成している。そして組込まれたこれら短チャネルゲート酸化膜のPMOS及びNMOSデバイスがラテラルSCRをトリガーするのである。

(静電放電が発生の際)。従ってPTLSCRとNTL

SCRデバイスのトリガー電圧はサブミクロンCMOS集積回路入力装置中の短チャネル薄酸化膜PMOSデバイスとNMOSデバイスのゲート酸化膜の降伏電圧を下回るまで低下させられるのである。

【0011】本発明のCMOSチップ上で使用する四個の低電圧トリガーSCRで構成された静電放電防護回路の構造は、どのようなCMOSまたはバイポーラCMOS(BiCMOS)技術中でも実現することが可能である。これにはN型ウェル/P型基板、P型ウェル/N型基板または双領域の製造工程も含まれている。本発明の静電放電防護回路は製造工程上に於いてCMOS及びBiCMOS技術に完全に適合するものである。またサブミクロンCMOS集積回路の静電放電防護能力を効果的に向上させることもでき、旧来の静電放電防護回路に加えられていた第二段階の防護エレメントは必要とはしないのである。

【0012】本発明では四個の違った静電放電経路により四種類のモードの静電放電を防護しよう提案している。本発明では静電放電防護能力が最高のSCRを利用しているため、旧来の静電放電防護回路と比べより小さな占有面積でより大きな静電放電防護能力を提供することが可能なのである。

【0013】

【発明の実施の形態】

A. 回路構造

図1はこの発明を応用した回路図である。この図は四個の低電圧トリガーSCRデバイスを利用した静電放電の防護回路500を示している。この回路500とCMOS集積回路は同一のチップ上に配置され、このチップの入力装置を保護している。この静電放電防護回路500は入力パッド205と入力装置210の間に接続している。本発明には2個のPMOSTリガーラテラルSCRPTLSCR1とPTLSCR2デバイス及び2個のNMOSTリガーラテラルSCRNTLSCR1とNTLSCR2デバイスが含まれている。このPTLSCR1とPTLSCR2デバイスはVDDと入力パッド205の端子420の間に接続されており、NTLSCR1とNTLSCR2デバイスは入力パッド205の端子420とVSSの間に接続されている。

【0014】そして抵抗Rは直列で入力パッド205の端子420と入力装置210の端子355間に接続されている。入力信号は入力パッド205からこの抵抗Rを経由し入力装置210に伝達される。この抵抗Rには多結晶シリコン(ポリシリコン)構造を採用している。静電放電防護回路500が導通を開始する前には、この抵抗Rは遅延作用を発揮し、静電放電電圧の入力装置210への伝達を遅延させている。

【0015】この四個の低電圧トリガーSCRデバイスPTLSCR1、PTLSCR2、NTLSCR1及びNTLSCR2はプラスやマイナスの静電放電電圧また

は突発パルスがバイパスを通じてVDD及びVSSに流れてゆくよう設計されている。図1に示す通り、PTLSCR1 デバイスはPDモードの静電放電を防護するよう配置されており、PTLSCR2 デバイスはNDモードの静電放電に対して防護、NTLSCR1 デバイスはPSモードの静電放電に対して防護、NTLSCR2 デバイスはNSモードの静電放電に対して防護するよう配置されている。従って入力ピンの静電放電の四種類のモードは四個の低電圧トリガーSCRデバイスにより一対一で防護されているのであり、本発明では効果的で、直接的な静電放電の放電経路を提供し、静電放電電流が早急にバイパスに流れるようになっている。つまり本発明の静電放電防護回路500はCMOS集積回路の入力ピンに全方位的な防護措置を提供し、異常な静電放電によるCMOS集積回路の内部回路の損傷を回避している。B.N型領域/P型基板のCMOS構造中に制作した場合のデバイス構造:

1. PTLSCR1 デバイス

図1に示す通り、PTLSCR1 デバイスは入力パッド205とVDD電源回線間に接続されており、その陽極510は入力パッド205に接続され、陰極520はVDDに接続されている。このPTLSCR1 デバイスは2個のバイポーラ接合トランジスタ(BJT) Q1aとQ1bでラテラルのSCRを構成しており、PMOSデバイスPaを使用してこのラテラルのSCRのトリガー電圧を低下させる。

【0016】Q1aはNPNバイポーラトランジスタであり、そのエミッタ552は入力パッド205の端子420に接続され、ベース554は抵抗Rw1aに接続されている。抵抗Rw1aのもう一方の端は入力パッド205の端子420に接続されている。そしてコレクタ556は抵抗Rsub1を経由して接地されている。Q1bはPNPバイポーラトランジスタであり、そのエミッタ558は抵抗Rw1bを経由してVDDに接続されている。ベース560はQ1aのコレクタ556に接続され、コレクタ562はQ1aのベース554に接続されている。

【0017】Paデバイスは短チャネル薄酸化膜PMOSデバイスであり、そのドレイン564はQ1bのベース560に接続され、ソース566はQ1aのエミッタ552に接続され、ゲート電極568はVDDに接続されている。そしてバルク(bulk)570はQ1aのベース554に接続されている。

2. PTLSCR1 のデバイス構造

図2に示したのはPTLSCR1とPTLSCR2デバイスのデバイス構造の断面図600である。この構造はN型ウエル/P型基盤のCMOS構造中で実現されている。本節では図1中の回路図及び図2のデバイス断面図に於けるPTLSCR1デバイスについて記述する。

【0018】PTLSCR1デバイスはラテラルSCR(Q1aとQ1bで構成)に短チャネル薄酸化膜PMO

SデバイスPaを組込んで構成されている。Q1aは寄生垂直P-N-Pバイポーラ接合トランジスタである。Q1aはP型のキャリア濃度の高い領域552をそのエミッタ552としており、N型ウエル554をベース554とし、P型基板556をコレクタ556としている。

【0019】Q1bは寄生ラテラルN-P-Nバイポーラ接合トランジスタである。Q1bはN型のキャリア濃度の高い領域610がN型ウエル558中でエミッタ558を構成しており、P型基板556をベース560としている。またN型ウエル554をコレクタ562としている。薄酸化膜PMOSデバイスPaはP型のキャリア濃度の高い領域552がN型領域554中でそのソース566となっている。またP型のキャリア濃度の高い領域564がN型ウエル554とP型基板556の接合面を横に跨ぎ、そのドレイン564となっている。N型ウエル554はそのバルク570となっている。Paのゲート電極568はVDDに接続されている。従ってこのPMOSデバイスPaはCMOS集積回路が正常に作動している場合には、オフ状態を維持している。

【0020】PTLSCR1デバイスの導通電圧はすでに元のラテラルSCRのトリガー電圧(約30~50V)ではなく、PMOSデバイスPaの導通電圧に変化している。この電圧はVDD+(絶対値)Vthpである。この内VthpはPMOSデバイスPaの臨界電圧である。従ってPDモードの静電放電の際、そのPDモードの静電放電電圧がVDD+(絶対値)Vthpを超過すれば、PTLSCR1内のラテラルSCRはPMOSデバイスPaによってトリガーされるのである。PTLSCR1デバイスが導通する場合、その保持電圧は元のラテラルSCRの保持電圧と同じであり(約1V)、その導通抵抗は非常に低い(約2~5オーム)、非常に効果的に静電放電電流をバイパスに流すことができるのである。

【0021】Rw1aとRw1bはN型領域554と558中に寄生する寄生抵抗であり、Rsub1はP型基板556の寄生抵抗である。これらの抵抗についても図1及び図2中に記載している。

3. PTLSCR2 デバイス

図1に示す通り、PTLSCR2デバイスはVDDと入力パッド205間に接続されており、その陽極515はVDDに接続され、陰極525は入力パッド205に接続されている。このPTLSCR2デバイスは2個のバイポーラ接合トランジスタQ2aとQ2b及び短チャネル薄酸化膜PMOSデバイスPbで構成されている。Q2aとQ2bはラテラルSCRを構成しており、PMOSデバイスPbを使用してこのラテラルSCRのトリガー電圧を低下させるのである。

【0022】Q2aはPNPバイポーラ接合トランジスタであり、そのエミッタ572はVDDに接続され、ベース574は抵抗Rw2aに接続されている。この抵抗Rw2aのもう一方の端はVDDに接続されている。コレクタ57

6 は抵抗 R_{sub2} を経由して接地されている。Q2b はNPNバイポーラ接合トランジスタであり、そのエミッタ578 は抵抗 R_{w2b} を経由して入力パッド205 の端子420 に接続されている。ベース580 はQ2aのコレクタ576 に接続され、コレクタ582 はQ2aのベース574 に接続されている。

【0023】Pbは短チャネル薄酸化膜PMOSデバイスであり、そのドレイン584 はQ2bのベース580 に接続され、ソース586 はQ2aのエミッタ572 に接続され、ゲート電極588 はVDD に接続され、バルク(bulk)590 はQ2aのベース574 に接続されている。

4. PTLSCR2 のデバイス構造

本節では図1及び図2中の回路見取図及びデバイス断面図に於けるPTLSCR2 デバイスについて記述する。図2に示す通りPTLSCR2 デバイスはラテラルSCR (Q2aとQ2bで構成) に短チャネル薄酸化膜PMOSデバイスPbを組入れて構成されている。このPbデバイスをラテラルSCRに組入れる目的は、Pbデバイスのドレインがスナップバック降伏した場合に、ラテラルSCRをトリガーし、導通させることである。

【0024】Q2aは寄生垂直P-N-Pバイポーラ接合トランジスタであり、P型のキャリア濃度の高い領域572 をそのエミッタ572 としており、N型ウエル574 をベース574 とし、P型基板556 をコレクタ576 としている。Q2bは寄生ラテラルN-P-Nバイポーラ接合トランジスタであり、N型のキャリア濃度の高い領域615 がN型ウエル578 中でエミッタ578 を構成しており、P型基板556 をベース580 としている。またN型領域574 をコレクタ582 としている。

【0025】PMOSデバイスPbはP型のキャリア濃度の高い領域572 がN型ウエル574中でそのソース586 となっている。またP型のキャリア濃度の高い領域584 がN型ウエル574 とP型基板556 の接合面を横に跨ぎ、そのドレイン584 となっている。N型ウエル574 はそのバルク590 となっている。Pbデバイスのゲート電極588 はVDD に接続されている。従ってこのPbデバイスはCMOS集積回路が正常に作動している場合には、オフ状態を維持している。

【0026】PTLSCR2 デバイスの導通電圧はすでに元のラテラルSCRのトリガー電圧(約-30~-50V)ではなく、PMOSデバイスPbのスナップバック降伏電圧に変化している。この電圧は0.8サブミクロンCMOS技術中ではおよそ-13~-15Vである。従ってNDモードの静電放電が発生した際、PTLSCR2 内のラテラルSCRはその電圧が-13~-15Vであれば、導通され、静電放電電流をバイパスに流し、内部回路を保護するのである。PTLSCR2 デバイスの導通後、その保持電圧は元のラテラルSCRの保持電圧と同じであり

(約1V)、その導通抵抗は非常に低いため(約2~5オーム)、効果的に静電放電電流をバイパスに流すことが

できる。

【0027】 R_{w2a} と R_{w2b} はN型ウエル574 と578 中に寄生する寄生抵抗であり、 R_{sub2} はP型基板556 の寄生抵抗である。これらの抵抗についても図1及び図2中に記載している。図2中では、2個の分離されたN型ウエル554 と578 が同時に入力パッド205に接続されている。この内N型ウエル554 はPTLSCR1 デバイス中で使用され、もう一方のN型領域578 はPTLSCR2 デバイス中で使用される。この2個のN型ウエルを一つに統合し占有面積の節減を図ることは可能であり、その場合のデバイス構造は図3に示す通りである。図3に示したデバイス断面図700 はPTLSCR1 とPTLSCR2 を一つに統合し、より一歩その占有面積の節減を図ったものである。

5. NTLSCR1 デバイス

図1に示す通り、NTLSCR1 デバイスは入力パッド205 とVSS の間に接続されており、その陽極530 は入力パッド205 に接続され、陰極はVSS に接続されている。このNTLSCR1 デバイスは2個のバイポーラ接合トランジスタQ3aとQ3b及び短チャネル薄酸化膜NMOSデバイスNaで構成されている。Q3aとQ3bはラテラルSCRを構成しており、NMOSデバイスNaを使用してこのラテラルSCRのトリガー電圧を低下させる。

【0028】図1に示す通り、Q3aはPNPバイポーラ接合トランジスタであり、そのエミッタ722 は入力パッド205 の端子420 に接続され、ベース724 は抵抗 R_{w3a} に接続されている。この抵抗のもう一方の端は入力パッド205 の端子420 に接続されている。コレクタ726 は抵抗 R_{sub3} を経由してVSS に接続されている。Q3bはNPNバイポーラ接合トランジスタであり、そのエミッタ728 は抵抗 R_{w3b} を経由してVSS に接続されている。ベース730 はQ3aのコレクタ726に接続され、コレクタ732 はQ3aのベース724 に接続されている。

【0029】Naは短チャネル薄酸化膜NMOSデバイスであり、そのドレイン734 はQ3aのベース724 に接続され、ソース736 はQ3bのエミッタ728 に接続され、ゲート電極738 はVSS に接続され、バルク740 はQ3bのベース730 に接続されている。

6. NTLSCR1 のデバイス構造

図4に示したのは半導体構造の断面図800 であり、NTLSCR1 とNTLSCR2 デバイスの断面図である。この構造はN型ウエル/P型基盤のCMOS構造の製造工程中で実現される。本節では次にNTLSCR1 デバイスについて記述する。

【0030】図4に示す通りNTLSCR1 デバイスはラテラルSCR (Q3aとQ3bで構成) に短チャネル薄酸化膜NMOSデバイスNaを組入れて構成されている。このNaデバイスをラテラルSCRに組入れる目的

は、Naデバイスがスナップバック降伏した場合に、このラテラルSCRをトリガーし、静電放電電流をバイパスに流すことである。

【0031】Q3aは寄生垂直P-N-Pバイポーラ接合トランジスタである。Q3aはP型のキャリア濃度の高い領域722をそのエミッタ722としており、N型ウエル724をベース724とし、P型基板726をコレクタ726としている。Q3bは寄生ラテラルN-P-Nバイポーラ接合トランジスタである。Q3bはN型のキャリア濃度の高い領域736がN型ウエル728中でエミッタ728となっており、P型基板726をベース730としている。またN型ウエル724をコレクタ732としている。

【0032】薄酸化膜NMOSデバイスNaはN型のキャリア濃度の高い領域736がN型ウエル728中でそのソース736となっている。またN型のキャリア濃度の高い領域734がN型ウエル724とP型基板726の接合面を横に跨ぎ、そのドレイン734となっている。P型基板726がバルク740となっている。このNaデバイスは2個の隣合うN型ウエル724と728の間にあり、Naデバイスのゲート電極738はVSSに接続されている。従ってこのNaデバイスはCMOS集積回路が正常に作動している場合にはオフとされている。

【0033】NTLSCR1デバイスの導通電圧はすでに元のラテラルSCRのトリガー電圧(約30~50V)ではなく、Naデバイスのドレインのスナップバック降伏電圧(約13~15V)と等価である。従ってPSモードの静電放電が発生した場合、NTLSCR1は比較的低い電圧で導通し、静電放電電流をバイパスに流し、CMOS集積回路の内部回路を保護する。

【0034】NTLSCR1デバイスが導通後、その保持電圧は元のラテラルSCRの保持電圧と同じであり(約1V)、NTLSCR1の導通抵抗は元のラテラルSCRと同様に低いため(約2~5オーム)、NTLSCR1デバイスは効果的かつ早急に静電放電電流をバイパスに流すことができるのである。Rw3aとRw3bはN型ウエル724と728中に寄生する寄生抵抗であり、Rsub3はP型基板726に寄生する寄生抵抗である。これらの寄生抵抗についてもNTLSCR1デバイスを表した図1及び図4中に示されている。

7. NTLSCR2 デバイス

図1に示す通り、NTLSCR2デバイスは入力パッド205とVSSの間に接続されており、その陽極535はVSSに接続され、陰極は入力パッド205に接続されている。このNTLSCR2デバイスは2個のバイポーラ接合トランジスタQ4aとQ4b及び短チャネル薄酸化膜NMOSデバイスNbで構成されている。Q4aとQ4bはラテラルSCRを構成しており、NMOSデバイスNbを使用してこのラテラルSCRのトリガー電圧を低下させる。

【0035】Q4aはPNPバイポーラ接合トランジスタであり、そのエミッタ752はVSSに接続され、ベース754は抵抗Rw4aに接続されている。この抵抗のもう一方の端はVSSに接続されている。コレクタ756は抵抗Rsub4を経由してVSSに接続されている。Q4bはNPNバイポーラ接合トランジスタであり、そのエミッタ758は抵抗Rw4bを経由して入力パッド205の端子420に接続されている。ベース760はQ4aのコレクタ756に接続され、コレクタ762はQ4aのベース754に接続されている。

【0036】Nbは短チャネル薄酸化膜NMOSデバイスであり、そのドレイン764はQ4aのベース754に接続され、ソース766はQ4bのエミッタ758に接続され、ゲート電極768はVSSに接続され、Naデバイスのバルク770はQ4bのベース760に接続されている。

8. NTLSCR2 のデバイス構造
本節ではNTLSCR2デバイスについて記述する。図1の回路見取図及び図4の断面図を参照のこと。

【0037】図4に示す通り、NTLSCR2デバイスはラテラルSCR(Q4aとQ4bで構成)に短チャネル薄酸化膜NMOSデバイスNbを組み入れて構成されている。このNbデバイスをラテラルSCRに組入れる目的は、ラテラルSCRの導通電圧を低下させることである。図4に示す通り、Q4aは寄生垂直P-N-Pバイポーラ接合トランジスタである。Q4aはP型のキャリア濃度の高い領域752をN型ウエル754内でそのエミッタ752としており、N型ウエル754をベース754とし、P型基板726をコレクタ756としている。

【0038】Q4bは寄生ラテラルN-P-Nバイポーラ接合トランジスタである。Q4bはN型のキャリア濃度の高い領域766をN型ウエル758内でそのエミッタ758としており、P型基板726をベース760としている。またN型ウエル754をコレクタ762としている。薄酸化膜NMOSデバイスNbはN型のキャリア濃度の高い領域766をそのソース766としており、またN型のキャリア濃度の高い領域764がN型ウエル754とP型基板726の接合面を横に跨ぎ、そのドレインとなっている。またP型基板726がバルク770となっている。このNbデバイスは2個の隣合うN型ウエル754と758の間にあり、Nbデバイスのゲート電極768はVSSに接続されている。従ってこのNbデバイスはCMOS集積回路が正常に作動している場合にはオフとなっている。

【0039】NTLSCR2デバイスの導通電圧はすでに元のラテラルSCRのトリガー電圧(約30~50V)ではなく、Nbデバイスの正常な導通電圧である。この正常な導通電圧はVSS-V_{thn}である。このV_{thn}は薄酸化膜NMOSデバイスNbの臨界電圧である。従ってNTLSCR2デバイスはNbデバイスが導通するとトリガーされ、導通状態に入り、静電放電電流をバイパスに流すのである。

【0040】NTLSCR2デバイスが導通後、その保

持電圧は元のラテラルSCRの保持電圧と同じであり(約1V)、NTLSCR2の導通抵抗は元のラテラルSCRと同様に低いため(約2~5オーム)、NTLSCR2デバイスは効果的かつ早急に静電放電電流をバイパスに流すことができる。Rw4aとRw4bはN型ウエル754と758中に寄生する寄生抵抗であり、Rsub4はP型基板726に寄生する寄生抵抗である。これらの寄生抵抗についてもNTLSCR2デバイスを表示した図1及び図4中に示されている。

【0041】図4中では、2個の分離されたN型ウエル724と758が同時に入力パッド205に接続されている。この内N型ウエル724はNTLSCR1デバイス中で使用され、もう一方のN型ウエル758はPTLSCR2デバイス中で使用される。この2個のN型ウエルは一つに統合し占有面積の節減を図ることは可能であり、その場合のデバイス構造は図5に示す通りである。図5に示したデバイス断面図900はNTLSCR1とNTLSCR2を一つに統合し、より一歩その占有面積の節減を図ったものである。

【0042】PTLSCR2デバイス(NTLSCR1デバイス)の導通電圧は短チャネル薄酸化膜PMOS(NMOS)デバイスPb(Na)のスナップバック降伏電圧と等価である。そしてPMOS(NMOS)デバイスのスナップバック降伏電圧は0.8サブミクロンCMOS技術中では約-13~-15V(+13~+15V)である。従ってPTLSCR2とNTLSCR1デバイスの導通電圧は低下させることができ、元のラテラルSCRの30~50Vの高さのトリガー電圧ではない。

【0043】またPTLSCR1デバイス(NTLSCR2デバイス)の導通電圧は共に短チャネル薄酸化膜PMOS(NMOS)デバイスPa(Na)の正常導通電圧と等価である。このPMOS(NMOS)デバイスPa(Na)の正常導通電圧は0.8サブミクロンCMOS技術中ではVDD+(絶対値)Vthp(VSS-Vthn)Vである。この内Vthp(Vthn)はPa(Nn)の臨界電圧である。従ってPTLSCR1とNTLSCR2デバイスの導通電圧は大幅に低下させることができ、元のラテラルSCRの高いトリガー電圧(約30~50V)ではない。

【0044】短チャネル薄酸化膜PMOSデバイスPb及びNMOSデバイスNaのスナップバック降伏電圧はCMOS構造の製造技術に伴い変化する。一般的に言って、このスナップバック降伏電圧はCMOSデバイスのゲート酸化膜の降伏電圧より低くなっている。従って本発明では四個の低電圧トリガーSCRを静電放電防護回路として利用し、効果的にCMOS集積回路の入力装置及びその内部回路を保護できるのであり、異常な静電放電による損傷からも免れているのである。本発明では効果的に入力装置を保護することができるため、旧来の静電放電回路によく見られる第二段階の防護デバイスは必要としないのである。

9. レイアウトの実施例：図6と図7は、本発明を0.6ミクロン双領域/P型基板CMOS技術中に利用したレイアウトの実施例である。図6のレイアウト910と図7のレイアウト920中ではそれぞれ内部防護ループ930と外部防護ループ935を示している。これら内外の防護ループはやはりVDDからVSSへのラッチアップ現象の発生を防止するものである。

【0045】図6に示したのはPTLSCR1とPTLSCR2デバイスの平面図である。この内A-A'横断線は図3の断面図に対応している。図7に示したのはNTLSCR1とNTLSCR2デバイスの平面図である。この内B-B'横断線は図5の断面図に対応している。本発明のレイアウト方式は図6と図7の実施例に限られるものではなく、その他のレイアウト方式によっても本発明は実現可能である。

C. P型ウエル/N型基板のCMOS構造中に制作した場合のデバイス構造：本発明はP型ウエル/N型基板のCMOS構造の製造工程技術中で実現することも可能である。その等価回路の見取図は図8に示す通りである。図8はPTLSCR1'、PTLSCR2'、NTLSCR1'及びNTLSCR2'デバイスを含む本発明について示している。その作動原理及びデバイス構成は図1の記載と類似しており、製造工程技術をN型ウエル/P型基板からP型ウエル/N型基板のCMOS技術に変更しただけである。その作動原理は類似しているため、ここでは再度重複して詳細に記述することはしない。

【0046】PTLSCR1'とPTLSCR2'デバイスの断面図は図9中に示している。その稼働原理は図2中のPTLSCR1とPTLSCR2デバイスと類似しているため、ここでは再度重複して詳細に記述しない。図9中のPTLSCR1'、PTLSCR2'デバイスを更に統合することにより占有面積の節減は可能である。統合後の断面図は図10中に示す通りである。

【0047】NTLSCR1'とNTLSCR2'デバイスの断面図は図11に示される。その稼働原理は図4中のNTLSCR1とNTLSCR2デバイスと類似しているため、ここでは再度重複して説明しない。図11中のNTLSCR1'、NTLSCR2'デバイスを更に統合することにより占有面積の節減は可能である。統合後の断面図は図12中に示す通りである。

【0048】図8中ではPTLSCR1'デバイスを使用してPDモードの静電放電を防護しており、PTLSCR2'デバイスを使用してNDモードの静電放電を防護、NTLSCR1'デバイスを使用してPSモードの静電放電を防護、NTLSCR2'デバイスを使用してNSモードの静電放電を防護している。従ってCMOS集積回路は本発明の静電放電回路によって全面的に保護される。

D. 回路の稼働原理：本節で記述する内容をやはり図1に示した回路に基づき説明する。図1は本発明をN型ウエ

ル/P型基板CMOS構造の技術中に実現した回路の見取図である。図8の回路稼働原理も図1と類似しているため、ここで再度重複して説明しない。図8も本発明をP型ウェル/N型基板CMOS構造の技術中に実現した回路の見取図である。

1. CMOS集積回路が正常に作動している場合

CMOS集積回路が正常に作動している場合、VDDはバイアス電圧5Vであり、VSSはバイアス電圧0Vである。図1中のPMOSデバイスPaとPbのゲート電極568と588はVDDに接続しており、この2個のデバイスはオフとなっている。PaとPbデバイスがオフとなっているため、正常な作動状態では、PTLSCR1とPTLSCR2デバイスもオフ状態にある。またNaとNbデバイスのゲート電極738と768はVSSに接続されており、この2個のデバイスはオフとなっているため、正常な作動状態では、NTLSCR1とNTLSCR2デバイスもオフ状態にある。従って本発明による四個の低電圧トリガースCRを静電放電防護回路内に利用した四個の低電圧トリガースCRデバイスは、CMOS集積回路が正常に作動している場合、オフ状態にあり、正常な回路信号の操作には影響を及ぼさない。

【0049】本発明の回路中には、入力信号の電圧しきい値に対する電圧しきい値固定作用も含まれている。図1図中でQ2bとQ4bのベースからエミッタへの接合面は1個のダイオードであるが、このダイオードの陽極はVSSに接続されており、陰極は入力パッド205に接続されている。従って入力信号の低電圧しきい値は約VSS-0.6Vに固定される。

【0050】PTLSCR1デバイス内のPMOSデバイスPaは入力信号の高電圧しきい値を固定する。入力信号の電圧しきい値がVDD+(絶対値)Vthpを超過する場合、Paデバイスは導通し、この高電圧を固定する。VthpはPMOSデバイスPaの臨界電圧である。従って一般の5VのCMOS集積回路中で、本発明の静電放電防護回路は入力信号の電圧しきい値を約6~-0.6Vの間に固定する。

2. 静電放電している場合

入力パッド205で発生する静電放電には四種類のモードがあり、それぞれプラスまたはマイナスの静電電圧がVDDとVSSに対して放電される。放電モードはPD, ND, PS及びNSモードに分れている。本発明中では、この四種類の放電モードはすべて一対一で以下のように防護されている：

PDモード<-->PTLSCR1(PTLSCR1')

NDモード<-->PTLSCR2(PTLSCR2')

PSモード<-->NTLSCR1(NTLSCR1')

NSモード<-->NTLSCR2(NTLSCR2')

この内PTLSCR1、PTLSCR2、NTLSCR1及びNTLSCR2は図1に示す通り本発明をN型領域/P型基板CMOS製造工程技術中に実現したもので

あり、PTLSCR1'、PTLSCR2'、NTLSCR1'及びNTLSCR2'は図8に示す通り本発明をP型領域/N型基板CMOS製造工程技術中に実現したものである。

【0051】本節では図1に基づき本発明の回路作動原理について説明する。図8の回路作動原理は図1に示したものと類似しているため、ここでは重複して説明はしない。

2. a. PSモード：NTLSCR1が防護

図1に示す通り、PSモードの静電放電が発生する場合には、プラスの静電電圧がNTLSCR1の陽極530に加わり、その後プラスに導通したP型のキャリア濃度の高い領域722とN型ウェル724の接合面を経由して、NMOSデバイスNaのドレイン734に伝達される。このNaデバイスはまず最初にプラスの静電電圧がそのドレイン734にかかるため、スナップバック降伏が発生する。そしてこのNaデバイスのスナップバック降伏が初歩的に入力パッド205上のプラス電圧のしきい値を13~15V前後に固定する。

【0052】Naデバイスのドレイン734でスナップバック降伏が発生後、静電放電電流はNaデバイスによりN型ウェル724(Q3のベース724)からNaデバイスのドレイン734を経由してP型基板726(Q3bのベース730)に流れる。そしてこの静電電流は隣合うN型ウェル728内のN型のキャリア濃度の高い領域736に流れ込み、再度VSSピンを経由して集積回路の外に流れ出す。

【0053】この静電放電電流はN型ウェル724からP型基板726に流れ、NTLSCR1デバイス内のラテラルSCRの正のフィードバック・ラッチアップ現象を引き起こすため、NTLSCR1デバイスを導通状態にさせる。NTLSCR1デバイスが一旦導通すると、入力パッド205からVSSに抵抗が極めて小さな導通経路が開かれ、静電放電電流はこの経路を経由して早急にバイパスに流れ去る。その上入力パッド205上の電圧はNTLSCR1デバイスの保持電圧によって約1V前後に固定されているため、入力パッド205に接続されている入力装置210は効果的かつ早急に保護される。

【0054】SCRは良好な電気エネルギー(パワー)伝達特性を持っているため、NTLSCR1デバイスは比較的小さな占有面積で相対的に大きな静電放電電流を受容できる。

2. b. NSモード：NTLSCR2が防護

NSモードの静電放電が発生する場合には、マイナスの静電電圧がNTLSCR2デバイスの陰極545に加わり、その後再びNMOSデバイスNbのソース766に伝達される。この場合、Nbデバイスのドレイン764とゲート電極768は相対接地しているVSSに接続している。従ってNbデバイスはVgs電圧がそのVthn臨界電圧を上回るため、まずプラスに導通する。そしてこの導通したNbデバイスは初歩的に入力パッド205上のマイナスの

静電電圧を固定する。

【0055】導通したN型デバイスは静電放電電流をN型ウェル754からP型基板726に流し、NTLSCR2デバイス内のラテラルSCRの正のフィードバック・ラッチアップ現象を引き起こす。そしてNTLSCR2デバイスは導通し、併せてVSSから入力パッド205間に抵抗が極めて小さな導通経路が開かれ、静電放電電流をバイパスに流す。従って静電放電電流は主に、NTLSCR2デバイスを経由してVSSまでバイパスを流れ、入力パッド205上のマイナス電圧はNTLSCR2デバイスによってその保持電圧のしきい値、約-1V前後に固定される。

2.c. PDモード：PTLSCR1が防護

PDモードの静電放電が発生する場合には、まずプラスの静電電圧がPTLSCR1デバイスの陽極510に加わる。この時VDDピンは相対接地しており、VSSピンは浮いている。このプラスの静電電圧はPMOSデバイスPaのソース566とバルク570にも伝達される。Paデバイスのドレイン564とゲート電極568はこの時相対接地している。従ってPaデバイスはVgs電圧がそのVthn臨界電圧（Vthnはマイナス電圧）を下回るため、まずプラスに導通する。そしてこの導通したPaデバイスが初步的に入力パッド205上のプラスの静電電圧を固定する。

【0056】この導通したPaデバイスもPTLSCR1内のSCRをトリガーして導通させ、静電放電電圧をバイパスに流す。PTLSCR1デバイスの導通後、入力パッド205からVDDに抵抗が極めて小さな導通経路が開かれ、大部分の静電放電電流はこの経路を通じてVDDまで流れ、集積回路の外に流れ去ってゆく。入力パッド205上のプラスの静電放電電圧はPTLSCR1デバイスによってその保持電圧が約1V前後に固定されるため、この入力パッド205に接続されている入力装置210は効果的かつ早急に保護される。

2.d. NDモード：PTLSCR2が防護

NDモードの静電放電が発生する場合には、まずマイナスの静電電圧がPTLSCR2デバイスの陰極525に加わる。この時VDDは相対接地しており、VSSは浮いている。このマイナスの静電電圧はプラスに導通したN型ウェル578とP型基板556の接合面を経由してPMOSデバイスPbのドレイン584に伝達される。

【0057】PTLSCR2デバイス内のPbデバイスはまずマイナスの静電電圧が原因し、そのドレインでスナップバック降伏が発生する。このスナップバック降伏したPbデバイスは入力パッド205上のマイナスの静電放電電圧をそのスナップバック降伏電圧のしきい値前後に固定する。スナップバック降伏電圧は約-13~-15Vである。

【0058】静電放電された電流はスナップバック降伏したPbデバイスを経由してN型ウェル574からP型基板556に流れ、PTLSCR2デバイス内のラテラルS

CRをトリガーして導通させる。PTLSCR2デバイスが導通した後、VDDから入力パッド205に抵抗が極めて小さな導通経路が開かれ、大部分の静電放電電流はこの経路を通じてVDDピンまでバイパスを流れ、集積回路の外に流れ去ってゆく。入力パッド205上のマイナスの静電放電電圧はPTLSCR2デバイスによってその保持電圧、約-1V前後に固定されるため、この入力パッド205に接続されている入力装置210は効果的かつ早急に保護される。まとめて言えば、本発明は四個の低電圧トリガーSCRを利用して静電放電防護回路を形成し、入力ピンでの静電放電の四種類のモードを、すべて一対一で対応する形でこの四個の低電圧トリガーSCRで防護する。SCRは電気エネルギーの電導特性が優れているため、本発明では比較的小さな占有面積で（旧来の静電放電防護回路と比較）全方位的かつ耐圧能力の高い静電放電防護回路を提供できるのである。

【0059】例を挙げると、本発明の回路は88×177ミクロンの占有面積で5000V前後に達する人体放電モードの静電放電防護能力を提供することが可能である。この占有面積内にはVDDからVSSへのラッチアップ現象を防止するための内外の防護ループもその中に含んでいる。また本発明では静電放電防護措置を提供するばかりではなく、CMOS集積回路が正常に作動している場合の入力信号電圧のしきい値固定作用も提供している。この固定作用は外部からの低すぎるかまたは高すぎる電圧の集積回路に対する干渉をフィルタにかけることができるため、その雑音信号に対する免疫力は比較的に優れている。

【0060】本発明では、ラテラルSCRはその中に組入れた短チャネル薄酸化膜PMOSデバイスまたはNMOSデバイスによりトリガーされ導通するのであり、容量結合作用によりトリガーされ導通するのではない。本発明はデバイスの直流特性を利用し、静電放電防護回路を導通させるのであり、一時的な容量結合効果を利用するのではないのである。従って本発明に基づく各種の異なったサブミクロン製造工程技術中で、非常に簡単かつ正確に設計及び制御することができるのである。

【0061】5VのCMOS集積回路中で、本発明による回路はVDDからVSSへのラッチアップ現象の発生からも免れている。本発明は比較的小さな占有面積で相対的に高い静電放電防護能力を提供できるため、本発明は各種の最先端のサブミクロンCMOS集積回路の高密度及び高速度方面への応用にも非常に適している。また本発明はどのようなCMOSまたはバイポーラCMOS製造工程技術中でも実現可能である。これにはN型ウェル/P型基板、P型ウェル/N型基板または双領域の製造工程が含まれている。

【図面の簡単な説明】

【図1】本発明をN型ウェル/P型基板のCMOS技術に適用したNTLSCR1、NTLSCR2、PTLSCR1及びPTLSCR2デバイスを含む回路図であ

る。

【図2】図1のPTLSCR1及びPTLSCR2デバイスをN型ウェル/P型基板のCMOS構造中に制作した断面図である。

【図3】図2のPTLSCR1及びPTLSCR2デバイスを一つに統合した断面図である。

【図4】図1のNTLSCR1及びNTLSCR2エレメントをN型ウェル/P型基板のCMOS構造中に制作した断面図である。

【図5】図4のNTLSCR1及びNTLSCR2デバイスを一つに統合した断面図である。

【図6】図3のPTLSCR1及びPTLSCR2デバイスのレイアウトの平面図で、A-A'の横断線は図3に示した断面に対応する図である。

【図7】図5のNTLSCR1及びNTLSCR2デバイスのレイアウトの平面図で、内B-B'の横断線は図5に示した断面に対応する図である。

【図8】本発明をP型ウェル/N型基板のCMOS技術に適用した回路図で、PTLSCR1、PTLSCR2、NTLSCR1及びNTLSCR2デバイスが含まれている図である。

【図9】図8のPTLSCR1及びPTLSCR2デバイスをP型ウェル/N型基板のCMOS構造中に設けた断面図である。

【図10】図9のPTLSCR1及びPTLSCR2デバイスを一つに統合した断面図である。

【図11】図8のNTLSCR1及びNTLSCR2デバイスをP型ウェル/N型基板のCMOS構造中に設けた断面図である。

【図12】図11のNTLSCR1及びNTLSCR2デバイスを一つに統合した断面図である。

【図13】P型ウェル/N型基板のCMOS構造で形成された図12に示されたPTLSCR1、PTLSCR2デバイスの断面図である。

【図14】図13に示されたPTLSCR1、PTLSCR2を統合した構造を示す図である。

【図15】P型ウェル/N型基板のCMOS構造で形成された図12に示されたNTLSCR1及びNTLSCR2デバイスの断面図である。

【図16】図15に示されたNTLSCR1、NTLSCR2を統合した構造を示す図である。

【符号の説明】

500 回路

205 入力パッド

210 入力装置

PTLSCR1、PTLSCR2、NTLSCR1、NTLSCR2 PTLSCR1、PTLSCR2、NTLSCR1、NTLSCR2 シリコン制御整流器

355, 420 端子

510, 1210 陽極

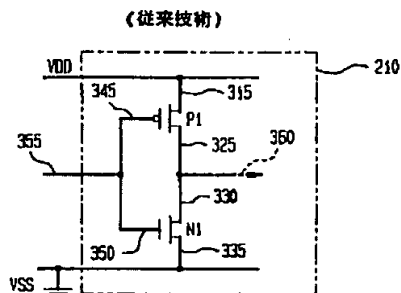
520, 1220 陰極

Q1a、Q1b、Q2a、Q2b、Q3a、Q3b、Q4a、Q4b、Q1a'、Q1b'、Q2a'、Q2b'、Q3a'、Q3b'、Q4a'、Q4b'トランジスタ

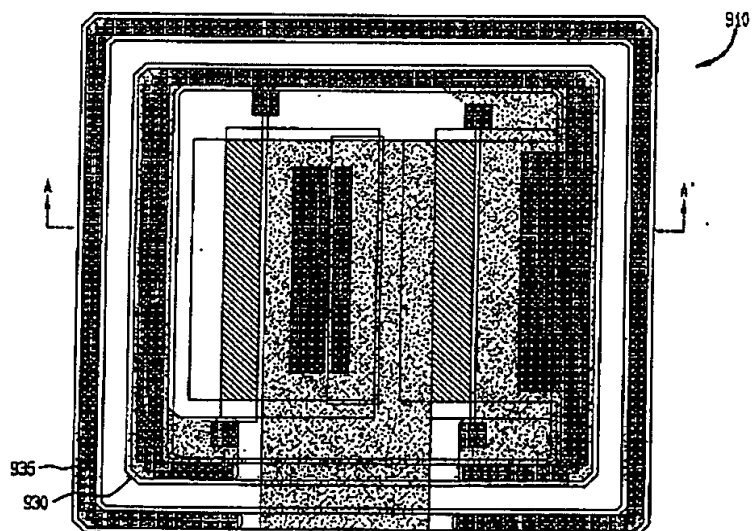
Pa、Pb PMOSデバイス

Na、Nb NMOSデバイス

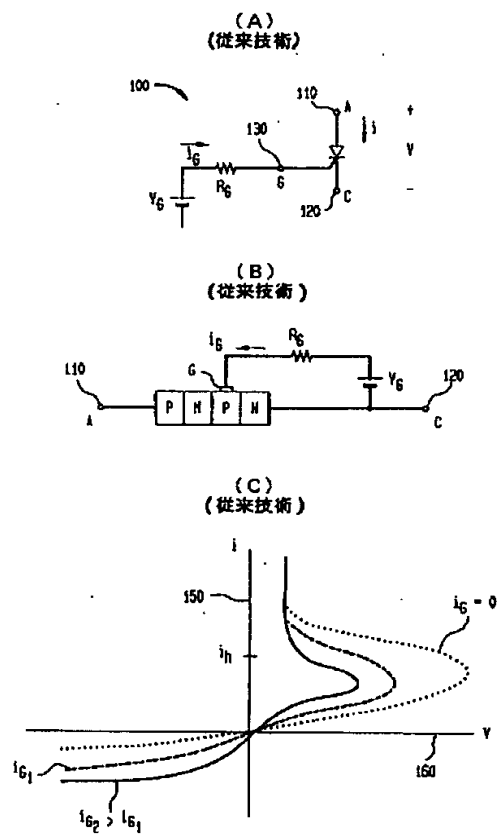
【図3】



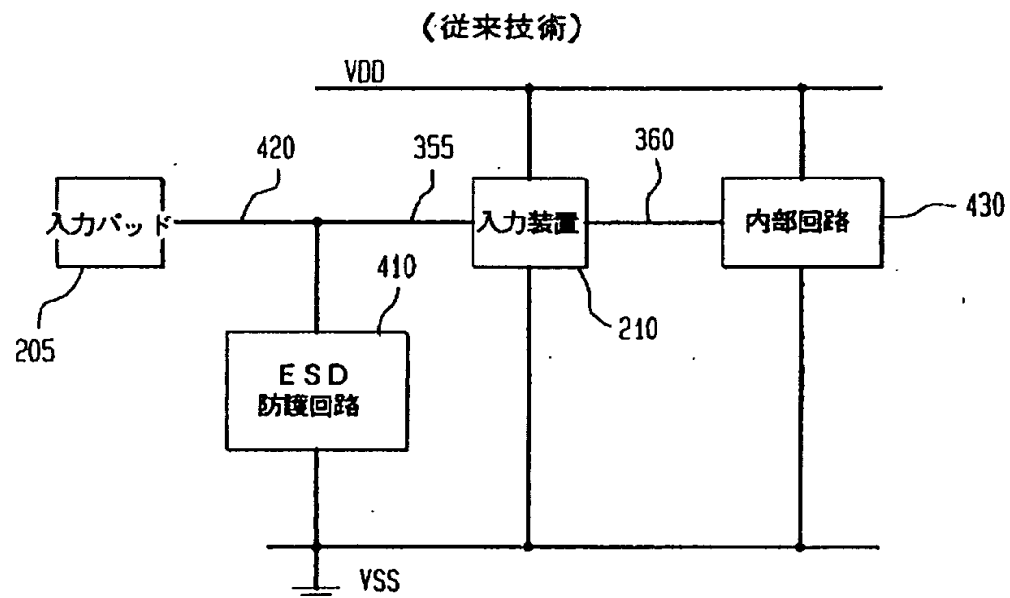
【図10】



【図 1】

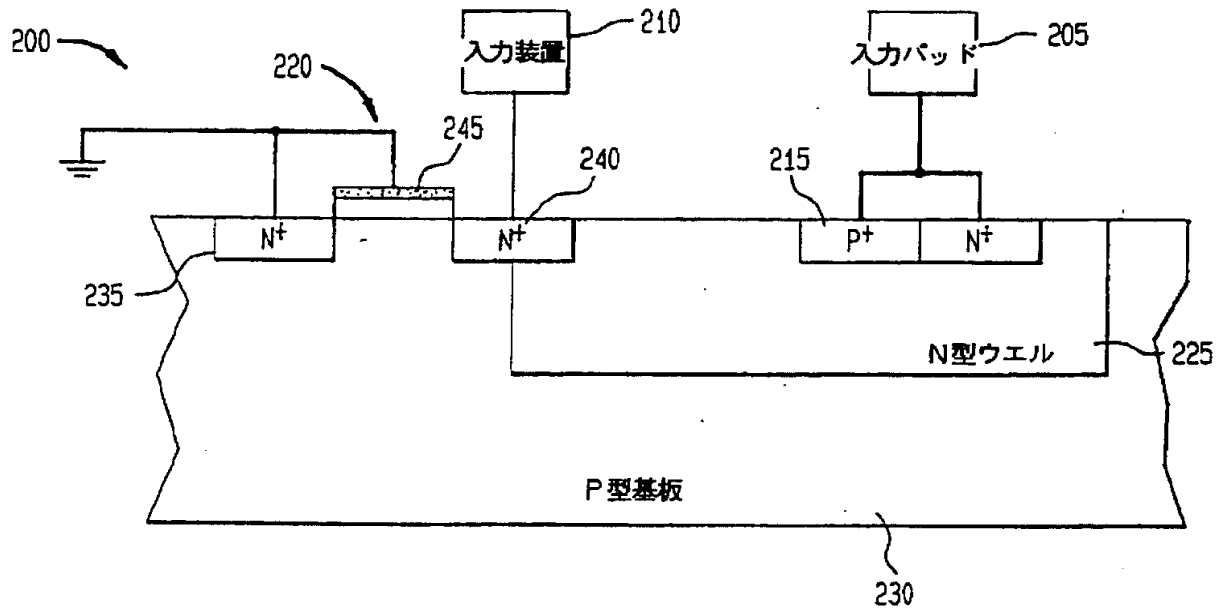


【図 4】



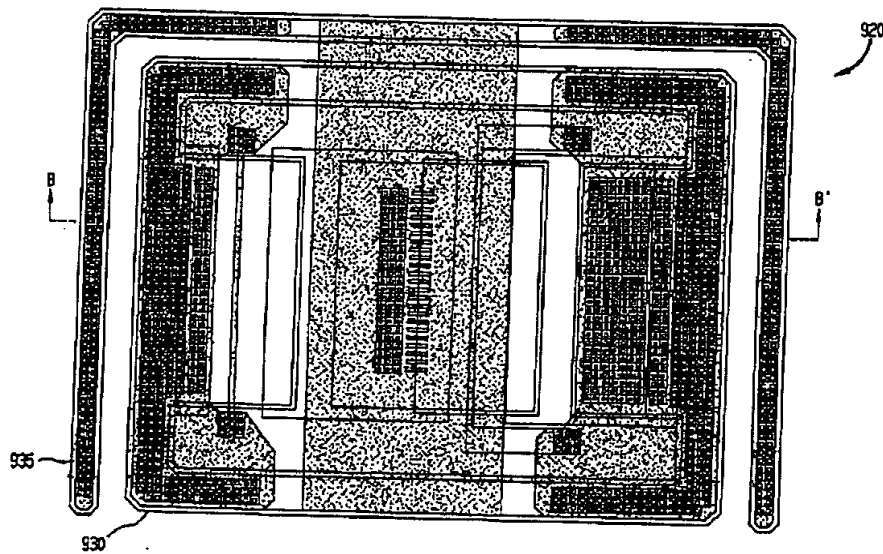
【図 2】

(従来技術)

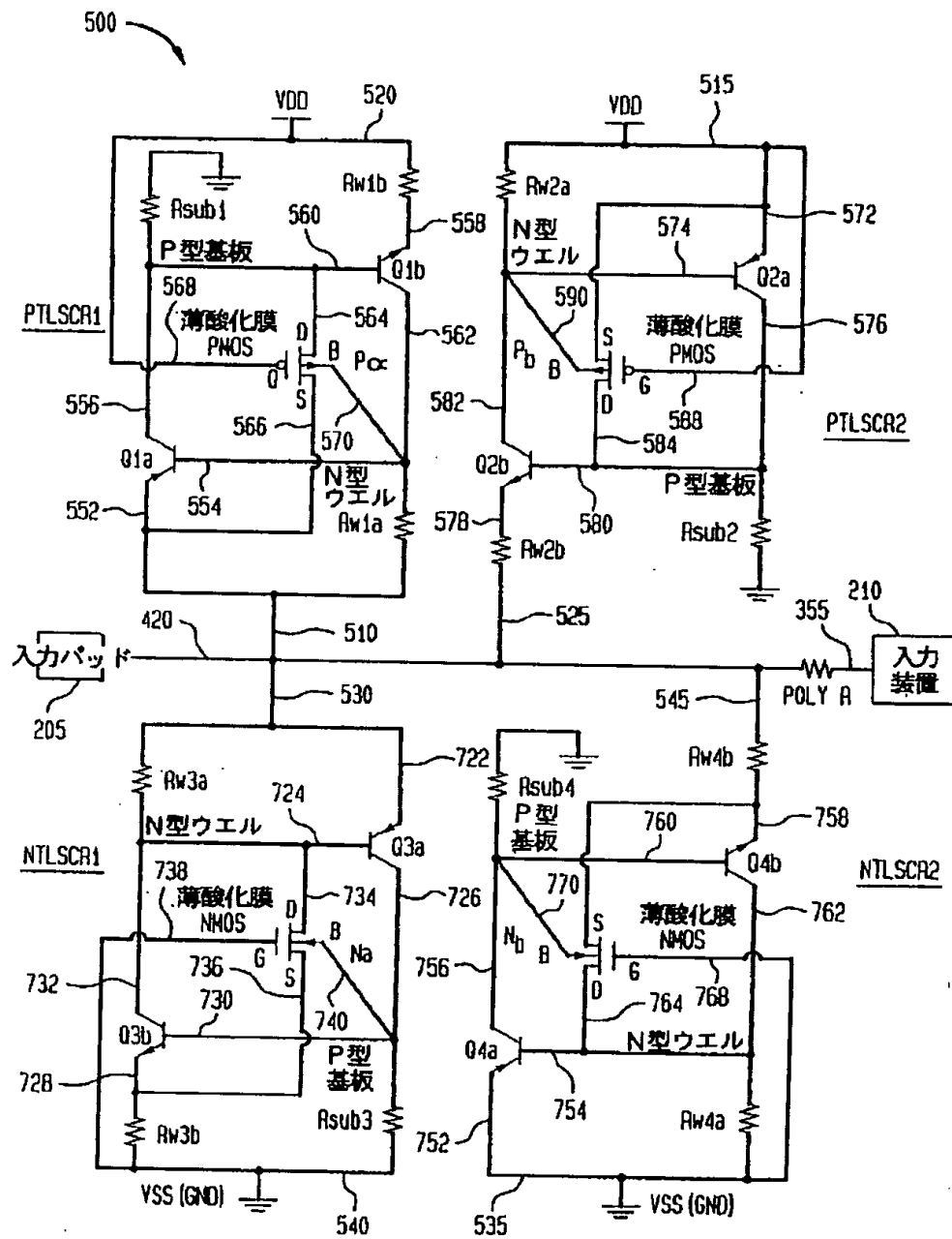


【図 1 1】

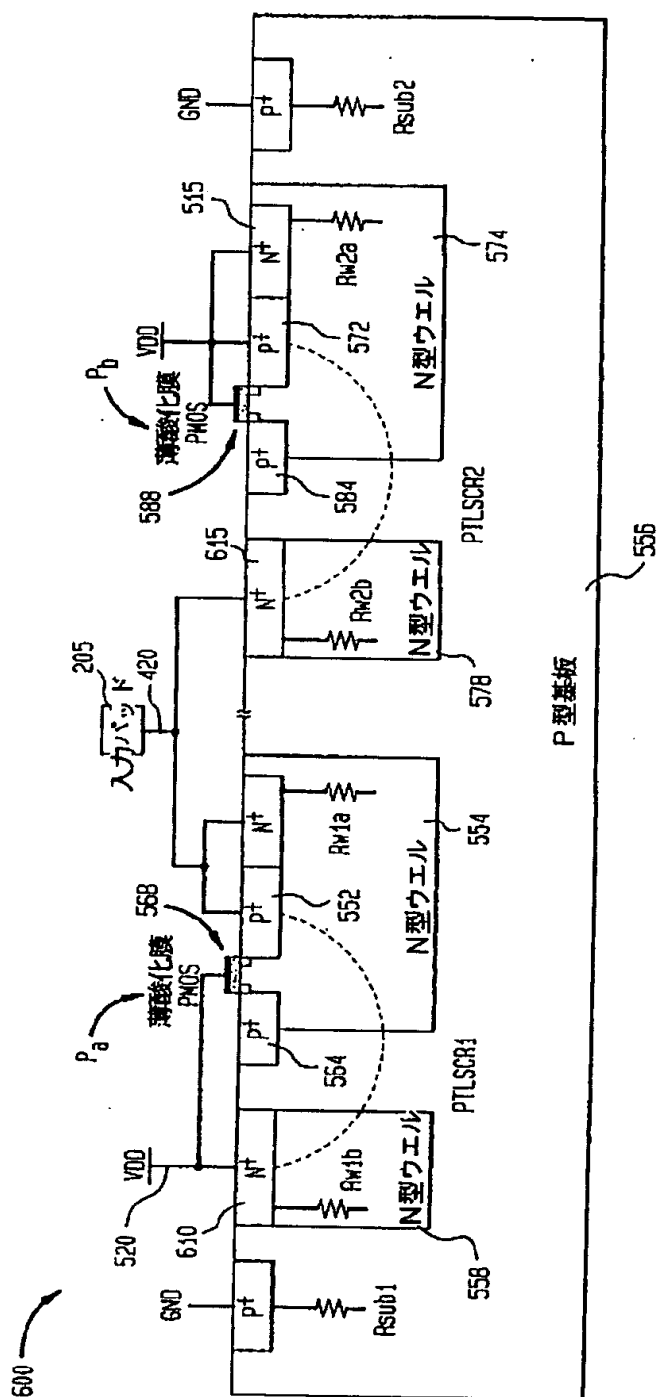
FIG. 11



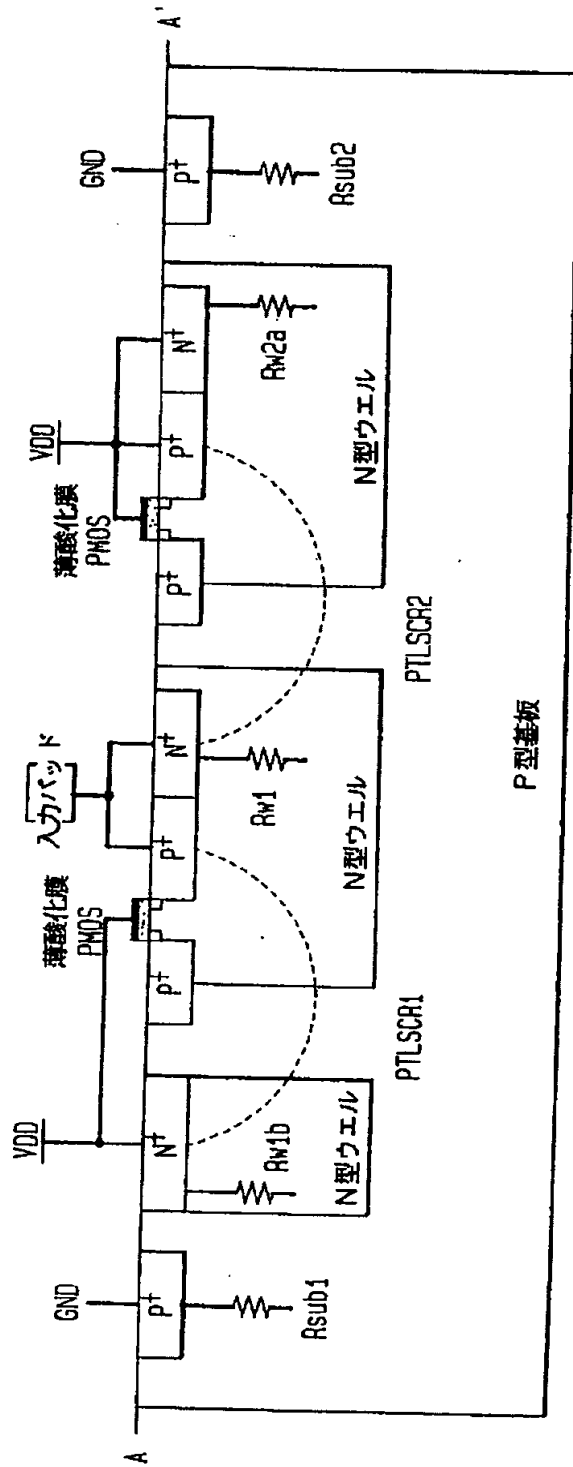
【図 5】



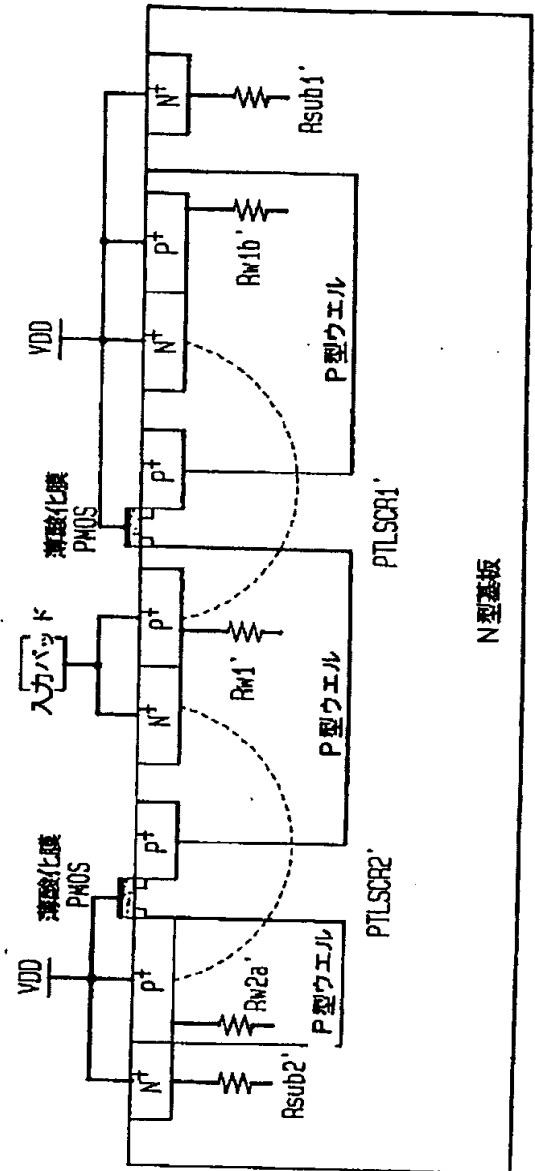
【図 6】



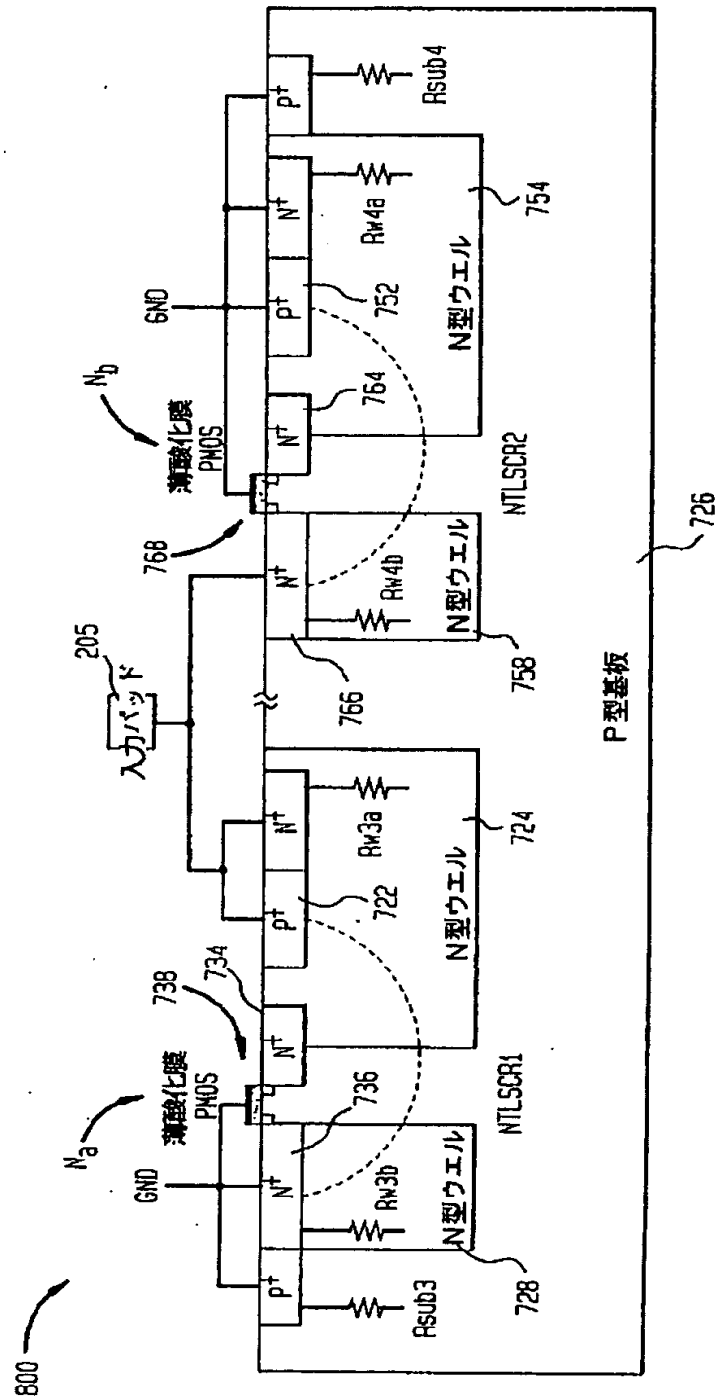
【図 7】



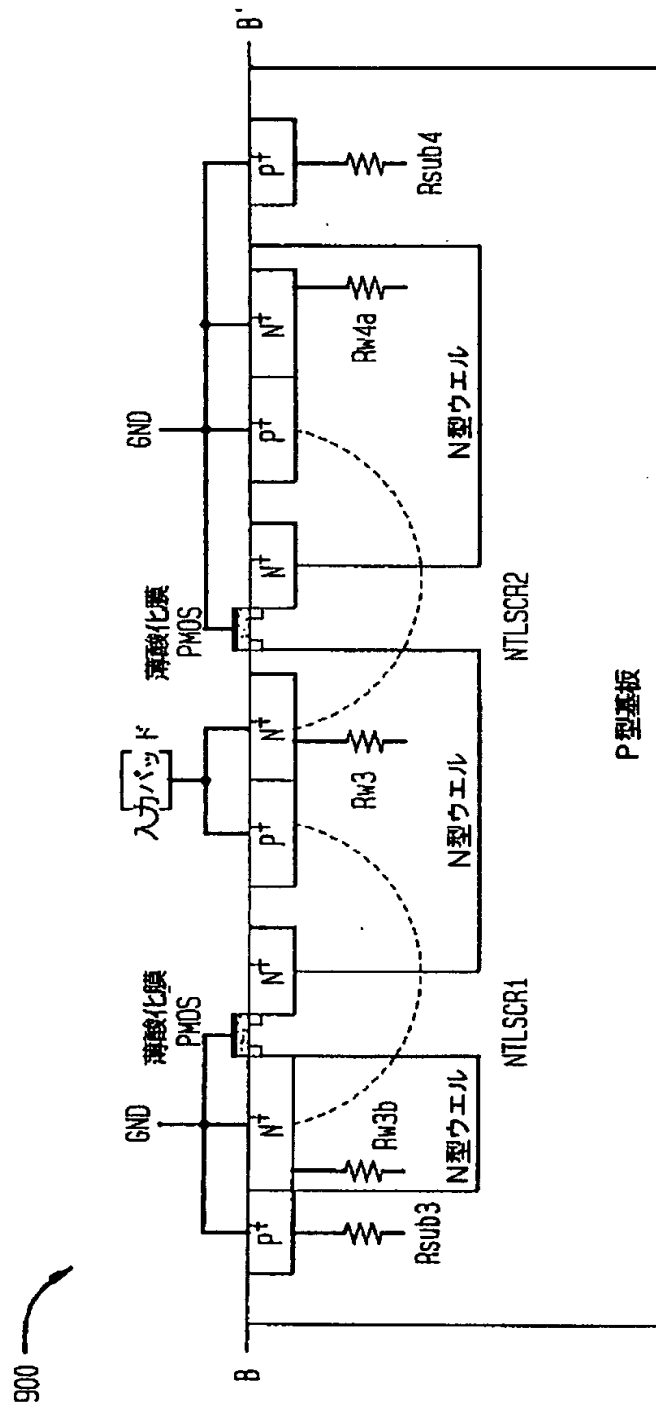
【図 14】



【图 8】



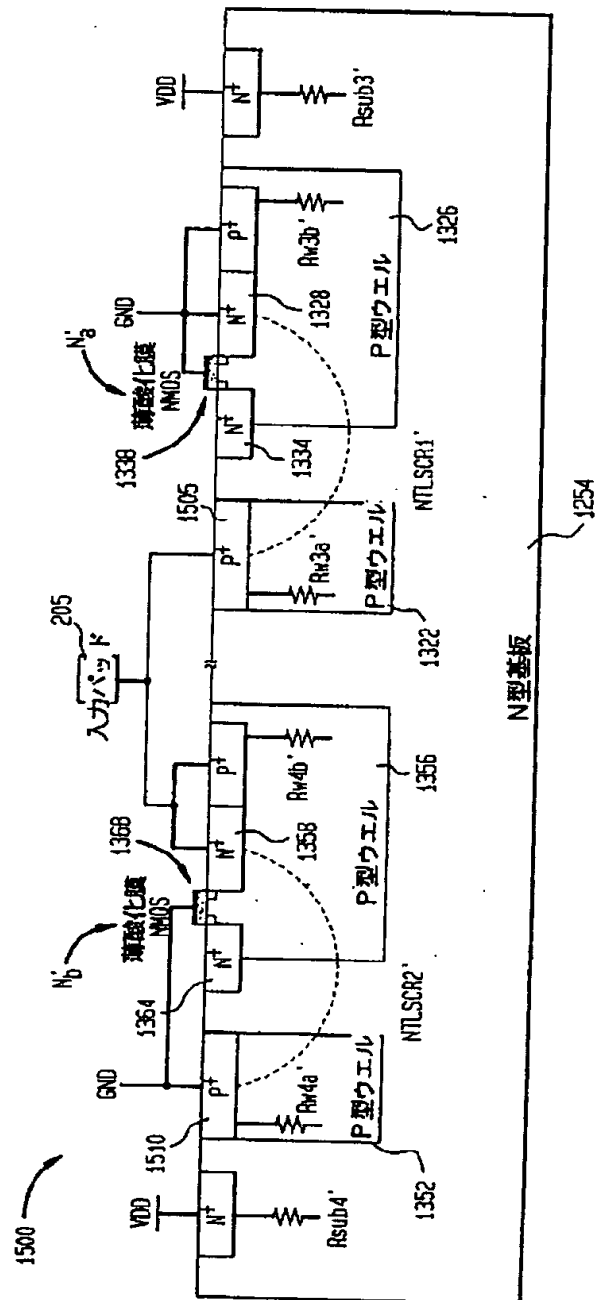
【図 9】



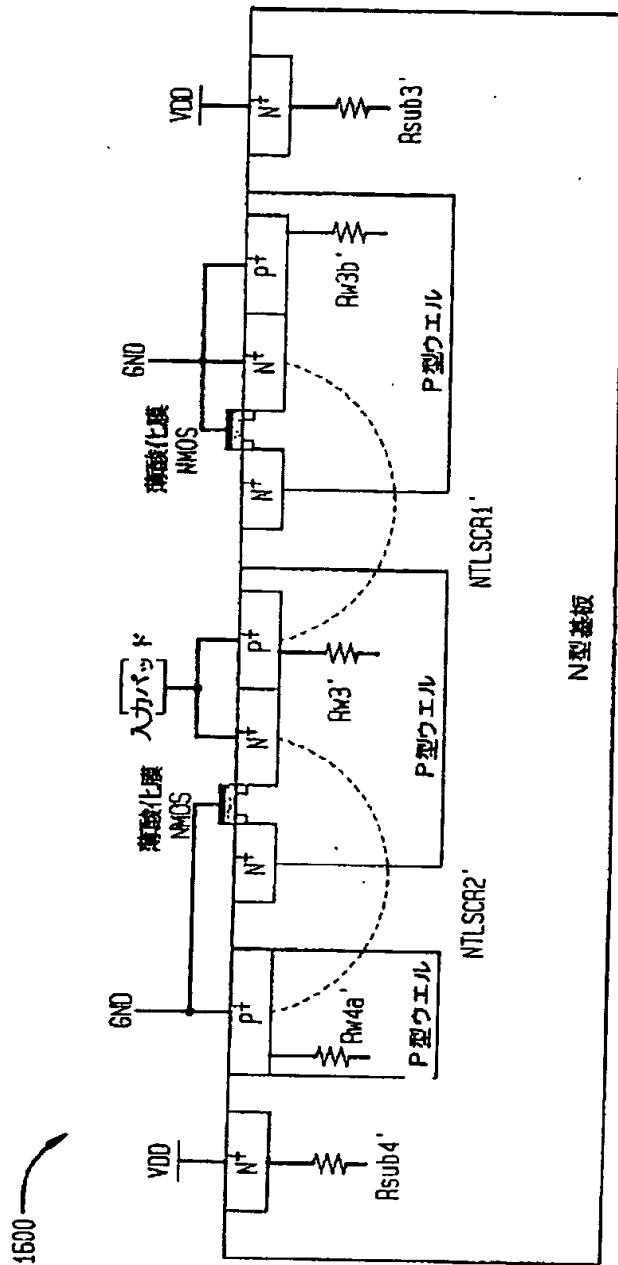
[illegible]

[illegible]

【図 15】



【図 16】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/088
29/74H 0 3 K 19/003
19/0948

識別記号

庁内整理番号

F I

H 0 1 L 29/74
H 0 3 K 19/094

技術表示箇所

N
B